

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-237591

(43)Date of publication of application : 23.08.2002

(51)Int.Cl.

H01L 29/78

(21)Application number : 2001-
401249

(71)Applicant : TEXAS INSTRUMENTS INC

(22)Date of filing : 28.12.2001

(72)Inventor : HOWER PHILIP L
EFLAND TAYLOR R

(30)Priority

Priority number : 2000 259322 Priority date : 31.12.2000 Priority country : US

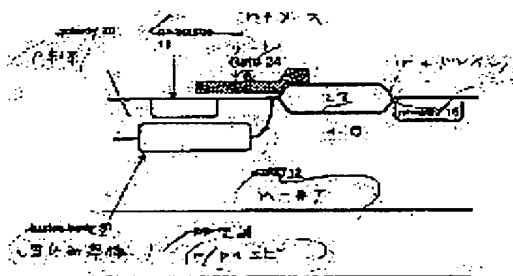
(54) DMOS TRANSISTOR SOURCE STRUCTURE AND METHOD FOR
MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device structure having an improved safe operating area(SOA).

SOLUTION: An improved n-channel integrated lateral DMOS (10), in which an embedded main body region (30) placed beneath a source (18) and a normal main body diffusion part, and being self-aligned to them, provides a low impedance path for holes emitted at a drain region (16).

This reduces generation of secondary electrons greatly, and thus, the gain of parasitic PNP bipolar device is reduced. By reduction of the generation couges the critical field value to rise, and the safe operating area is enhanced accordingly.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision
of rejection][Kind of final disposal of application
other than the examiner's decision of

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-237591

(P2002-237591A)

(43) 公開日 平成14年8月23日 (2002.8.23)

(51) Int.Cl.⁷

H 0 1 L 29/78

識別記号

F I

H 0 1 L 29/78

テマコード* (参考)

3 0 1 D 5 F 1 4 0

3 0 1 X

審査請求 未請求 請求項の数 2 O L (全 15 頁)

(21) 出願番号 特願2001-401249 (P2001-401249)

(22) 出願日 平成13年12月28日 (2001. 12. 28)

(31) 優先権主張番号 2 5 9 3 2 2

(32) 優先日 平成12年12月31日 (2000. 12. 31)

(33) 優先権主張国 米国 (US)

(71) 出願人 501229528

テキサス インストルメンツ インコーポ
レイテッド

アメリカ合衆国、テキサス、ダラス、チャ
ーチル ウエイ 7839

(72) 発明者 フィリップ エル、ハウアー

アメリカ合衆国 マサチューセッツ、コン
コード、ボーダー ロード 315

(72) 発明者 テイラー アール、エフランド

アメリカ合衆国 テキサス、リチャードソ
ン、オーク リーフ レイン 3404

(74) 代理人 100066692

弁理士 浅村 皓 (外3名)

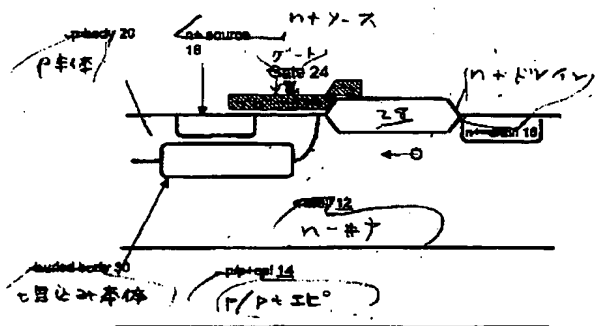
最終頁に続く

(54) 【発明の名称】 DMOSトランジスタ・ソース構造とその製法

(57) 【要約】

【課題】 安全動作区域 (SOA) を高めた半導体デバイス構造。

【解決手段】 ソース (18) 及び通常の本体拡散部の下方にあって、それに対してセルフアラインである埋込み本体領域 (30) が、ドレイン領域 (16) で放出された正孔に対する低インピーダンス通路となる改良された n チャンネル集積横形 DMOS (10)。これは 2 次電子の発生を著しく減らし、こうして寄生 PNP バイポーラ・デバイスの利得を小さくする。再発生が減少することにより、臨界電界の値が上昇し、従って安全動作区域が高まる。



【特許請求の範囲】**【請求項1】** ソース拡散部と、

前記ソース拡散部から本体拡散部を通して半導体ドリフト領域に至る多数担体の流れを制御するように容量結合されたゲートと、

少なくとも部分的に前記本体拡散部に対してセルフアラインであって、前記ドリフト領域からの少数担体の流れを収集するように位置ぎめされ、前記少数担体の流れを方向転換して、前記本体拡散部の順バイアスを減らすように接続されたオーミック接続構造を含むDMOSトランジスタ・ソース構造。

【請求項2】 横型DMOSトランジスタを製造する方法に於て、

半導体層の上に第1の導電型の第1の領域を形成し、

前記第1の領域内に埋込み本体領域を形成し、

前記第1の領域とは反対の第2の導電型のソース領域を構成し、前記ソース領域は前記本体が前記ソース領域に接近しているように形成され、前記ソース領域の縁と前記第1の領域の縁の間にチャンネル領域が形成されるようになっており、

前記半導体層内に第2の導電型のドレイン領域を形成し、前記ドレイン領域は前記チャンネル領域に隣接し、前記チャンネル領域の少なくとも一部分の上を伸びる少なくとも1つのゲートを形成する工程を含む方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 この発明は集積回路構造及び製造方法、更に具体的に言えば、論理トランジスタと共にnチャンネル横型DMOSを含むスマート電力構造に関する。

【0002】**【従来の技術及び課題】** DMOS及びLDMOS

DMOSデバイスは「2重拡散」の金属氧化物半導体(MOS)電界効果トランジスタ、即ちMOSFETである。DMOSは、個別デバイスとして又は電力集積回路内の部品として使うことが出来る電力デバイスである。DMOSは、ソース領域及び本体(又はバックゲート)領域が同時に拡散され、その為、拡散領域のチャンネル長が、別々にパターンぎめされた寸法ではなく、2つの拡散長の間の差によって定められることを特長としている。DMOSトランジスタの2重拡散構造により、短いチャンネルを高い精度で形成することを出来る。短チャンネル領域は、ゲート電圧によって大きなドレイン電流を制御する能力を持たせる。(ドリフト領域が短いチャンネルをドレイン構造から隔てて、十分な電圧隔離能力を持たせる。)第2の利点は、スイッチング時間が短くなることである。即ち、DMOSデバイスは、チャンネルの長さを短くすることにより、消費電力が少なくなると共に、高速能力を持たせるという他のトランジスタ設計に比べた利点を持っている。DMOSトランジスタは、電流通路の向きに従って、垂直形DMOS(VDMOS)トランジスタ及び横型DMOS(LDMOS)トランジスタに分けられる。LDMOSはその接点を付けるソース及びドレイン領域が半導体ウェーハの表面近くにあり、この為、トランジスタを通る電流は大なり小なり横方向であるという性質を持つ。

タは、電流通路の向きに従って、垂直形DMOS(VDMOS)トランジスタ及び横型DMOS(LDMOS)トランジスタに分けられる。LDMOSはその接点を付けるソース及びドレイン領域が半導体ウェーハの表面近くにあり、この為、トランジスタを通る電流は大なり小なり横方向であるという性質を持つ。

【0003】 2次担体(キャリア)の発生

電力デバイスに於ける1つの基本的な現象は、2次担体の発生、即ち電荷担体が増倍することがあることである。例えば、nチャンネルLDMOSデバイスでは、電子が(例えばドレイン境界にある)高電界領域に入ると、それが追加の電子-正孔の対を発生する場合が多い。こうして出来た正孔が(それが反対の電荷を持つから)反対向きに移動し、通常はソース/チャンネル境界に向かって流れる。2次正孔電流の量は、1)ドレイン空乏層の電界の大きさ、及び2)チャンネル内を流れる電子電流(1次電流 I_{ch})の大きさに関係する。

【0004】 安全動作区域(SOA)

(他の電力トランジスタと同じく)LDMOSデバイスの重要な特性は「安全動作区域」(SOA)である。トランジスタが通す電流が多ければ多い程、それが耐えることが出来る電圧は一層小さくなり、トランジスタが制御しなければならない電圧が高くなればなる程、それが安全に通すことができる電流は一層小さくなる。この為、SOAは、安全動作が可能である1組の電圧/電流の値を言うものである。更に正確に、ドレイン電流 I_d 対ドレイン-ソース間電圧 V_{ds} のグラフで言えば、SOAは、その範囲内ではデバイスを損傷又は破壊なしに動作させることが出来る値の範囲を表す。SOAの決定には温度がある役割を果たすから、SOAの境界は必然的にパルス持続時間の関数であり、長いパルスであると、SOAが小さくなる。純抵抗だけを負荷とするトランジスタは、所定のゲート電圧に対して1本の線の電圧/電流の値を持つが、実際の用途では、動作点は負荷のリアクタンス及び/又はヒステリシスの影響も受ける。この為、LDMOSが回路と相互に作用するとき、SOA内での動きが起こり、スイッチングの過渡状態が、SOAの境界と交差するような電流/電圧の軌跡を招くことがある。この境界と交差すると、負性抵抗が発生し、電流-電圧特性の「スナップバック」が起こり得る、即ち、トランジスタが非常に大きな電流を通し始めることがある。この状態にあるトランジスタは、それ自身又はその電源接続部を破壊する恐れがある。熱の影響も関係する。トランジスタが大電流で大きなバイアスの下で動作しているとき、熱が発生する。スナップバックを開始する原因となる物理的な挙動が温度の関数であるから、デバイスの接合温度を決定することが出来るように、周囲温度及びパルス条件を追跡することが重要である。この為、デバイスが高温であるときには最悪の状態が起こるから、室温でSOAを特定するときには注意が必要で

ある。SOA性能は、nチャンネルLDMOSトランジスタにとって特に問題である。このトランジスタは一般的にIC出力ドライバとして使われている。これは、 R_{sp} 対 BV_{ds} の兼合いがpチャンネルLDMOSより有利であるからである。更に、回路の形状は、このような電力用途では、n-LDMOSに有利に働く傾向がある。しかし、n-LDMOSの欠点は、一般的にその安全動作区域がp-LDMOSに劣ることである。

【0005】寄生バイポーラ

多くの半導体デバイスの動作の仕方は1つに限らず、望ましくない動作モードは「寄生」モード又はデバイスと呼ばれる。nチャンネルLDMOSでは、n型ソース、p型本体（及びドリフト領域）及びn型ドレインが寄生NPNバイポーラ・トランジスタを構成し、これがSOAを制限する点で重要な役割を果たす。負性抵抗及びスナップバック挙動は、この寄生バイポーラ・トランジスタが存在することによるものである（これは全てのLDMOSトランジスタに存在していて、避けることが出来ない）。寄生バイポーラのエミッタ、ベース及びコレクタ領域が、LDMOSのソース、本体（又はバックゲート）及びドレイン領域に相当する。大電流で高い電圧のとき、寄生バイポーラ・トランジスタが、LDMOSのドレイン領域に於ける衝撃イオン化によって作り出された担体（正孔）によってターンオンすることがある。典型的なLDMOSのベース領域は可成り高いシート抵抗を持ち、その為大電流により、寄生バイポーラをターンオンするのに十分なベース・エミッタ間電圧降下を生ずることがある。一旦寄生バイポーラがターンオンすると、ドレイン側で2次的な正孔が引き続いて発生されることにより、デバイスが破壊される（又は電流が他の何らかの形で制限される）まで、バイポーラはオンになったままになる。2次的な正孔の何らかの発生は、多くの動作状態で起こる。しかし、危険は制御されない電流、即ち上に述べた負性抵抗状態にある。2次正孔電流が寄生NPNデバイスをターンオンすると、このデバイスは2次電子電流を発生し始める。2次正孔に対する2次電子の比に電子当たりの2次正孔の比を乗じた値が1を超えると、2次電子電流と2次正孔電流は正帰還関係になり、デバイスはもはやゲートで制御されなくなる。

【0006】衝撃イオン化は、強い電界内を移動する担体（例えばn-LDMOSのドレイン側の電子）が別の1対の担体を発生する過程である。（p-LDMOSに比べて）n-LDMOSのSOAが低いのは、主に正孔に比べて電子の衝撃イオン化係数の値が一層大きいからである。臨界電界 E_c を電氣的なスナップバックの起こり易さの目安として使うと、衝撃イオン化係数の差は、p-LDMOSでは $3 \times 10^5 \text{ V/cm}$ であるのに対して、n-LDMOSでは僅か $1.5 \times 10^5 \text{ V/cm}$ の臨界電界になることがある。臨界電界のこの2倍の違いが、電力密度の4倍の違いに対応し、従って、nチャンネルLD

MOSデバイスの限られたSOAが、非常に重大な制約であることが判る。

【0007】

【課題を解決する為の手段及び作用】改善された安全動作区域を持つLDMOS

この発明は、衝撃イオン化によってドレイン領域で発生される正孔に対する低抵抗分路を設けたn型LDMOSデバイスを開示する。図1にみられるように、好ましくはソース及び本体のドーパントと同じマスク窓を通しての打込みを使って、強くドーピングされたp型「埋込み本体」領域がソース及びp型本体の下に設けられる。この埋込み本体領域が、2次正孔電流のかかりの部分を収集する低インピーダンス通路となり、この為、正孔が寄生NPNバイポーラのベース・エミッタ間接合を順バイアスせず、2次電子を発生することがない。この構造はスナップバックの全体的な起こり易さをかなり低くすることが実証され、埋込み本体に十分な量を用いると、臨界電界はバルク降伏値近くまで高めることが出来る。この構造を用いて得られた結果が、高エネルギー後退井戸を用いて得られたものとは異なることは、驚くべきことであった。高エネルギー後退井戸を用いて報告された結果では、ごく普通のLDMOSの場合に比べて大きな改善は示されなかった。（プロシーディングズ・オブISPSD 2000のジュー及びハウア他の論文参照。その両方をここで引用することによってこの出願に取入れる。）

ここで開示する構造は、電界が低い場所で2次正孔を収集するだけでなく、ベース抵抗、従ってベース・エミッタ間電圧降下をも減らす。（ベース・エミッタ間電圧降下がダイオード1個の効果未満又は約1ボルト未満になれば、寄生バイポーラ・デバイスはターンオンすることが出来ない。）

【0008】種々の実施例に開示する方法と構造の利点は、下記の内の1つ又は更に多くの利点を含む。臨界電界が一層高い。nチャンネルLDMOSデバイスの安全動作区域が一層大きくなる。電圧の過渡状態の影響の受け易さが減少する。スマート電力デバイスの信頼性を高める。製造が簡単（マスクの数が増えない）。所定のチップ面積の処理電力が増加する。次にこの発明の重要な実施例を示す図面についてこの発明を説明する。

【0009】

【実施例】この発明の幾つかの考えを、現在好ましいと考えられる実施例について具体的に説明するが、こういう種類の実施例は、この発明の多くの有利な使い方のほんの数例に過ぎないことを承知されたい。全般的に、この出願の明細書で述べたことは、必ずしもこの発明の特許請求の範囲に定められた考えを制限するものではない。更に、ある説明は、この発明のある特長には該当するが、他の特長には該当しないことがある。図1はこの発明のLDMOSトランジスタの実施例の概念を示す断

面図である。(この実施例は、上に述べた衝撃イオン化係数の違いの為に、 n チャンネルが特に有利であるので、 n チャンネルLDMOSトランジスタであるが、ここに開示する原理は、その有利さは劣るが、 p チャンネル・デバイスにも適応させることが出来る。)トランジスタ10が、半導体出発構造14の中に形成され、ドレイン領域16が n -井戸領域12内に設けられ、ソース領域18が D -井戸20内に設けられる。半導体基板14は、普通のように、 p +基板の上に形成された p -エピタキシャル層から形成することが出来る。燐のような n 型ドーパントが、 p +基板/ p -エピタキシャルの基板14を埋合せて、軽くドーパされた n -井戸12を形成することが出来るが、これがDOMSトランジスタ10のドレインである。 D -井戸20が、 D -井戸20及びソース領域18の外側の縁の間に第1の導電型のチャンネル領域22を定める。ソース領域18は第1の領域又は n -井戸12と反対の第2の導電型、普通は n +型材料である。ドレイン領域16は、ソース領域18と同じ第2の導電型であってもよいし、或いは異なる n +型材料であってもよいが、チャンネル領域22に隣接している。ゲート24が、チャンネル領域22の少なくとも一部分を覆い、ドレイン領域16に接近したソース領域18から伸びている。ゲート24がポリシリコンのようなこの分野の普通の材料で構成される。ゲート24は、フィールド酸化物領域28及びゲート酸化物領域26の上をも伸び、高圧デバイスに対するフィールド・プレートになる。ゲート24が、ドレイン領域16からソース領域18への電流を制御し、LDMOSの特定の設計に応じて、論理オン状態又はオフ状態の何れかを達成することが出来る。更に横形DMOS 10が、 D 井戸20に深く入り込んで、ソース領域18に接近している、好ましくはソース領域18の下方にある導電性本体領域30を含む。導電性本体領域30を D 井戸20並びに場合によって n -井戸12に、高エネルギー(MeV)打込み装置を用いて打込むことが出来る。(随意選択によって、これは角度打込みによって行い、導電性本体30が更にゲートの下に伸びるようにすることが出来る。)

この代わりに、導電性本体領域30は、半導体層のエピタキシャル成長の間に形成することが出来る。半導体本体領域30がエピタキシャル層成長過程の一部として形成された場合、本体領域30が、第2の層の成長の後に形成され、第3のエピタキシャル層を成長させて、ソース、ドレイン及び表面本体拡散部に対する材料とする。導電性本体領域30は、 p 型材料で構成することが好ましく、これは D 井戸20を構成するのと同じ材料にすることが出来る。LDMOS 10の動作中、ドレイン領域16にある高電界領域が正孔のエミッタとして作用し、導電性 p -本体領域30が正孔のコレクタとして作用して、LDMOSトランジスタ10に於ける負性抵

抗の始まりを防止する。このように、導電性本体領域30を含めると、正孔に対する低インピーダンス通路が出来、それが本体-ソース間接合の順バイアスを避け、こうしてLDMOS 10の最大ドレイン電流(I_D)及び安全動作範囲を改善する。

【0010】約 $3 \times 10^{14} \text{ cm}^{-2}$ の本体打込みで構成された導電性本体領域30を用いてLDMOS 10を作った。本体の平均深さは、LDMOSの表面から約1ミクロン(距離A)であった。前に述べたように、高エネルギー(MeV)打込み装置を使って、導電性本体を打込んで、導電性本体領域30を形成することが出来るし、或いはその代わりに、エピタキシャル成長工程の間のこのプロセスの早期に本体領域30を形成することが出来る。高エネルギー打込みが好ましい方法であり、この実験用のLDMOSに対して使われたが、このLDMOSは2つのエピタキシャル層を持っている。その他の点では、この実験用LDMOSは、テキサス・インスツルメンツ社の現存の60V定格のLDMOSと同一であり、これはドレイン・ソース間降伏電圧(BV_{ds})が約70Vであるのが普通である。 $6.75 \times 10^{-5} \text{ cm}^2$ の面積を持つ代表的なLDMOSで、ゲート幅Wが938ミクロンの場合、 $V_{ds} = 70 \text{ V}$ に於ける最大ドレイン電流 I_{Dsat} は1.6A又は 2.37 mA/cm^2 及びゲート幅の1cm当たり17Aである。導電性本体領域30を持たない現存のLDMOSは、電子に対する臨界電界(E_{cn})が約1乃至 $1.2 \times 10^5 \text{ V/cm}$ に制限される。導電性本体領域30を含めると、一層よい本体の短絡作用が起こり、それが E_{cn} を約 $3 \times 10^5 \text{ V/cm}$ に実効的に増加する。安全動作区域の電力密度が、 E_{cn} 2に関係するから、 E_{cn} が3倍に改善されることにより、安全動作区域電力密度は殆ど1桁改善される。図2Aは、現存のテキサス・インスツルメンツ社の60VのLDMOSに導電性本体領域30を含めたことによって実現された改善を示すグラフである。図2Aは、プローブを使ってウェーハで測定された、ゲート・ソース間電圧の一定の値に対するドレイン電流対ドレイン・ソース間電圧の測定値のグラフである。この種の表示は普通ドレイン特性と呼ばれる。各々の V_{gs} に対し、スナップバックが起こるまで V_{ds} が増加する。これは破壊的な測定であるので、 V_{gs} の次の値に対しては、ウェーハ上の新しい場所が選ばれる。こうして、ドレイン特性の全体を測定することが出来、同時に安全動作区域が決定される。

【0011】図2Bは図2Aと同様なグラフであるが、この場合は、導電性本体領域30を含まないで、ウェーハを処理した。目盛は図2Aと同じであり、安全動作区域の寸法がずっと小さいことが認められよう。図3は一定電力密度の線を示す。導電性本体領域がないLDMOSは、約 $2 \times 10^5 \text{ W/cm}^2$ に制限されるが、導電性本体があると、電力密度が $1 \times 10^6 \text{ W/cm}^2$ より大に増

加し、これはかなりの改善である。更にこの発明は、導電性本体領域30を持つ横形DMOSトランジスタ10を製造する方法を提供する。この方法は、 n -井戸12及び p +基板/ p エピタキシャル層14のような半導体層の上に、 n -D井戸20のような第1の導電型の第1の領域を形成する工程と、その後、第1の領域とは反対の、 n +ソース領域18のような、第2の導電型のソース領域を形成する工程とを含む。ソース領域18は、本体30がソース領域18の下方にあるように構成することが好ましい。この後、この方法は、ソース領域18の縁と、第1の領域(D井戸20)の縁の間にチャンネル領域22を形成する工程、及びそれに続いて n -井戸12のような半導体層内に第2の導電型のドレイン領域16を形成する工程を含み、ドレイン領域16はチャンネル領域22に隣接している。その後、この方法はチャンネル領域22の少なくとも一部分の上を伸びる少なくとも1つのゲート24を形成する工程を含む。既知の半導体製造方法の制約に応じて、この方法の工程を変更することが出来る。更にこの方法は、第1の領域の上に1つ又は更に多くのフィールド酸化物領域28を形成し、第1の領域、チャンネル領域22及びソース領域18の上にゲート酸化物領域26を形成する工程を含んでいて、チャンネル領域22の少なくとも一部分の上を伸びる少なくとも1つのゲート22を形成する工程が、ゲート酸化物領域26及びフィールド酸化物領域28の上に少なくとも1つのゲート24を形成するようにすることが好ましい。第1の領域(D井戸20)内に導電性本体領域30を形成する工程が、第1の領域10内に第1の導電型の深い導電性本体領域30を形成する。更に、第1の領域内に導電性本体領域30を形成する工程は、高エネルギー打込み装置を用いて第1の領域内に導電性本体領域30を打込むことであり、この代わりとしては、第1の領域内に導電性本体領域30を形成する工程は、半導体層のエピタキシャル層として導電性本体領域30を形成する。

【0012】図2Aは、この発明のLDMOSの実施例の安全動作区域を示すグラフであり、図2Bは、この発明を使わない点以外は同じである従来のLDMOSの安全動作区域を示すグラフである。図3Aは、図1に示すようにして作った n -LDMOSに対する臨界電界と埋込み本体の量の間の関係を示す。埋込み本体の量を多くしたときの臨界電界がバルク材料に特性的な限界値に近づくことに注意されたい。図3Bは、これに対応して、埋込み本体の量に応じて、ゲートの単位幅当たりのドレイン電流がどのように有利に増加するかを示す。図4A-4Hは、例としてのプロセスの流れを更に詳しく示す。この例では、出発材料14Bは、 $<100>$ 配向の p +シリコン基板上の20ミクロンの p 型エピタキシャル・シリコンである。次に第1の酸化工程が750nmの酸化物全体を形成する。ハード・マスクをデポジット

し、パターンぎめし、エッチングして、 n +埋込み層の所望の場所をアンチモンの打込み(この例では3乃至6 $e15/cm^2$)に対して露出する。 n +埋込み層を形成する為の拡散工程の後、表面酸化物をはがす。これらの工程は図4Aに始まるシーケンスには示していないが、これはこのシーケンスが低側ドライバ・デバイスを示すからであり、高側ドライバ・デバイスに対しては、例えば図5Bに示すような n +埋込み層が使われる。

(低側ドライバは、出力端子をアースに向かって制御自在に引き下げるトランジスタ(又はその他のデバイス)であり、これに対して高側ドライバは、出力を正の電圧に向かって制御自在に引き上げるものである。)

エピタキシャル層14Bを、例えば9乃至10ミクロンのシリコンで、約7オーム \cdot cmの導電度になるまで p 型にドーピングして成長させる。その後第2の酸化が、別の全体で750nmの酸化物402Aを形成して、フォトレジスト層401Aをパターンぎめして、 n -井戸の場所を打込み(この例では3乃至5 $e12$ の濃度)に露出する。これが図4Aに示す工程である。打込まれたドーパントをこの後(p 型エピタキシャル層14A内の)4乃至6ミクロンの接合深さ x_j になるまで追いつめる。次に、 n +シンカ拡散部の所望の場所をパターンぎめし、エッチングし、POC13でドーピングする。(シンカ拡散部が、埋込み層に対する接点になると共に、電力デバイスの横方向の隔離に使われる場合も多い。)酸化物をはがした後、パッド酸化物を成長させ(例えば35nm)、CMOSの n -及び p -井戸ドーパントを(図に示していない他の場所に)打込む。

【0013】次にフォトレジスト層401B及びハード・マスク層402Bをパターンぎめし、エッチングして、所望のD-井戸(p -本体)の場所を露出する。図4Bに示すように、このとき3重の打込みを実施する。例えば、300乃至600keVのエネルギーで1乃至4 $e14/平方センチ$ の硼素を打込み(埋込み本体)、50keVのエネルギーで3乃至7 $e13/平方センチ$ の硼素を打込み(表面本体)、135keVのエネルギーで3乃至8 $e13/平方センチ$ の砒素を打込む(ソース)。これらの打込みの順序は特にどうでなければならないものではないが、この実施例では、3つ全部が互いに全部セルフアラインである、即ち、それらが全部同じ孔を通じて打込まれることが望ましい。次に拡散工程を実施して、接合深さ $x_j=2$ 乃至2.5ミクロン(即ち、埋込み本体30の下方の n -井戸に対する接合)を達成する。その後、酸化物をはがし、パッド酸化物412を成長させる。その後、デバイスの他の部分に使われるベース打込み(図面に示していない)の為に、フォトレジストをデポジットしてパターンぎめする。次に窒化シリコン414を100-150nmの厚さにデポジットし、LOCOSの酸化物の所望の場所を露出する。この結果、図4Cに示す構造が出来る。このときフィールド酸

化を実施して、LOCOS酸化物領域28を、この実施例では600-700nmの厚さに成長させる。この結果、図4Dに示す構造になる。ここでLOCOS窒化物414をはがし、犠牲酸化工程を実施して、表面の品質を改善し(例えば30nmの酸化物を成長させた後、80nmをエッチバックする)、ゲート酸化物を例えば30-40nmの厚さまで成長させる。閾値調節のパターンぎめ及び打込みを次に実施し(これらは図面には示していない)、その後フォトレジスト層401Cをパターンぎめして、所望のドレイン領域を露出する。次に「SN井戸」打込みをこれらの領域(並びにその他の場所)で、例えば800乃至900keVで3乃至6e13/平方センチの量をを用いて、実施する。この結果、図4Eに示す構造になる。そこでフォトレジスト層401Cをはがし、RTA(急速熱アニール)工程を実施して、SN井戸打込みを活性化する。

【0014】次にゲート層24を形成する(例えば500nmのn+ポリシリコンをデポジットし、パターンぎめしてエッチングする)。全体にキャップ酸化物418(例えば35nmのTEOS酸化物)をデポジットする。n-LDD及びp-LDDのパターンぎめ及び打込み(図に示していない低圧CMOS回路に使われる)の後、例えば120乃至160nmの窒化シリコンを全体的に同形にデポジット(して異方性エッチバックを)することにより、側壁スペーサ420を形成する。そこでフォトレジスト層401Dをパターンぎめして、所望の場所をソース/ドレインの打込み、例えば2乃至6e14/平方センチの量を+2乃至4e15/平方センチの酸素の打込みに対して露出する。スペーサ420が、この打込みをソース接点領域にあるゲート層24に対してセルフアラインにし、ソース接触抵抗を絶対値で小さくする。これによって図4Fの構造が生ずる。そこでレジストをはがし、次にフォトレジスト層401Eを形成すると共にパターンぎめして、ソース接点の場所の中心だけを露出する。次に、例えば、1.5乃至3e15/平方センチの量をを用いて、p+ソース/ドレインの打込みを実施する。これによって図4Gの構造が出来る。その後レジストをはがし、接点の形成を進める。この実施例では、次にBPSG/ドーブなしの珪酸塩硝子の積重ねを(例えば600乃至900nmの厚さに)形成して、稠密化する。接点をパターンぎめすると共にエッチングし、全体に白金をデポジットして焼結する(こうして接点の表面の上に珪化白金被覆を作る)。次にメタライズ部(例えば500乃至800nmのAl/Si/TiWの積重ね)をデポジットし、パターンぎめしてエッチングする。これによって図4Hのデバイス構造が出来る。この後、希望によっては更にメタライズするか、カプセル封じや接点パッドの露出等のような普通の工程を用いて処理が完了する。

【0015】図5A乃至5Cは、異なる動作電圧の仕様

に対してデバイスの寸法をどういう倍率にするかの1組のデバイスの断面図である。しかし、ドリフト領域の長さが電圧によって倍率が定められる(25V毎に約1ミクロン)ことに注意されたい。この長さの増加は図面には示していない。図5Aは、60Vの低側動作の為に設計された実施例に於ける拡散部の輪郭を示す。この図は、チャンネル内に閾値調節用拡散部502が存在すること並びにドリフト領域に別の導電度調節用のドーピング504が存在していることを示していることに注意されたい。更に、SM井戸拡散部416がn+ドレイン16を取囲んでいて、ドレイン境界に於ける電界を幾分低下させることにも注意されたい。この図で、浅い本体20及び埋込み本体30が、複雑な形を持つ1個の拡散部として一緒に示されている。図5Bは、50Vの高側動作に設計された実施例に於ける拡散部の輪郭を示す。この図が井戸12の下にあるn型埋込み層500を示すことに注意されたい。図5Cは、25Vの低側動作作用に設計された実施例に於ける拡散部の輪郭を示す。この図を図5Aと比較すれば、デバイスのパラメータの倍率のある決め方が判る。例えば、浅いn井戸拡散部416と井戸12の底部の間の空間が、25Vの実施例では、60Vの実施例より一層大きいことが認められよう。更に、埋込み本体拡散部30が(VT調節のチャンネル部分502の下方で)横方向に更に遠くまで伸びていることにも注意されたい。その他の倍率によって決められるパラメータは、勿論当業者によく知られている。

【0016】変形及び変更

当業者であれば判るように、以上説明したこの発明の考えは、非常に様々な応用の範囲内で、変形し、変更することが出来、従って特許の対象となる範囲は、ここに示した特定の具体的ななどの考えにも制限されず、特許請求の範囲によって限定されるものである。同様に、ここで説明したプロセスの工程をこの他の混成プロセスの流れ、例えば、LDMOS以外にその他のアナログ、光電子式、論理又は電力デバイスを含むプロセスでも実施出来ることが容易に理解されよう。現在好ましいと考えられる実施例に示したソース、本体及び埋込み本体のセルフアラインの関係は、ずらしを導入しても、そのまま保つことが出来る。例えば、これらの3つの打込みの内のあるものだけを、マスクの積重ねの縁の上にある側壁フィラメントを用いて実施することにより、打込みの開口は異なる幅にすることが出来るが、それでもセルフアラインの関係は依然として守られている。特定のプロセスを実施する必要に応じて、エピタキシャル成長工程をこれより多くしても少なくしてもよいし、埋込み層及び/又はシンカ拡散部をこれより多くしてもよいことに注意されたい。1つのゲート・レベルだけを示したが、スマート電力プロセスでは、この他の薄膜導体層が存在しているのが普通である。この場合も、非常に広い範囲の変更が、特定のプロセスの必要に応じて可能である。この

他に考えられている別の実施例では、埋込み本体の打込みは（例えば、ソース及び通常の本体の打込みは真っ直ぐ垂直の打込みであるのに対して）角度を付けた打込みにすることが出来る。更に考えられる別の実施例では、埋込み本体は、第3のエピタキシャル層の下方にある埋込み層として形成することが出来る。これは、垂直ドーパント分布を変えるとと言う別の融通性がある。埋込み打込み部は、一部分としてのパターンとしてか或いは重なりとして、（例えば）表面井戸限定マスクからの寸法に従って隔てることが出来る。この場合、埋込み井戸は、表面打込み部とは異なる寸法を持つ別個の打込みにすることが出来る。この案はプロセスは複雑になるが、表面下の降伏電圧の問題の解決を助ける為に使うことが出来る。この場合、表面本体はソースに対してセルフアラインであるが、埋込み本体部分はそうではない。

【0017】別の種類の実施例では、好ましいソース・セル（好ましくは3重打込みのセルフアラインのDMOS本体を形成する為に、一緒に打込まれるn型を伴うフォトアラインの2重p型打込みであることが好ましい）は、垂直形DMOSデバイス構造に対するソース・セルとして使うことが出来る。更に別の種類の実施例では、好ましいソース・セルはトレンチ・デバイス（例えばV MOS形）と組み合わせて使うことが出来る。更に別の種類の実施例では、好ましいデバイスはDI/SOIウェーハの上に使うことが出来る（即ち、半導体能動デバイス領域が誘電体層に重なり、誘電体隔離部によって完全に取囲まれている）。更に別の種類の実施例では、埋込み本体並びに／又は表面本体の形状は、この他の形で、例えば、埋込み本体拡散部がチャンネルの下方（又は大体下方）に存在している限り、表面本体に対してセルフアラインではないようにして、ドリフト領域からの正孔を収集する為の接合なしの低インピーダンスの側路を設けるように変更することが出来る。同様に、横方向に局限する為に種々の形状を使うことが出来、埋込み本体に対する低抵抗のオーミック接続をする為に、この他の方式を使うことが出来る。（本体に対するオーミック接点が普通であるが、埋込み本体に対する低抵抗の通路は、異なる構造を用いて構成することが好ましい。）更に別の種類の実施例では、上に述べたアラインメント関係を実現する為に、フォトアラインメントの代わりにポリ・アラインメントを使うことが出来る。上に述べた考えは、必ずしも厳密にシリコンに限られない。他の実施例では、これらの考えを、シリコン/ゲルマニウム、シリコン/ゲルマニウム/炭化物、関連する合金、砒化ガリウム及び関連する化合物及び合金、燐化インジウム及び関連する化合物及び合金、炭化シリコン、ダイヤモンド及び層状ヘテロ構造を含むその他の半導体のようなこの他の半導体を使う構造及び方法にも用いることが出来ると考えられている。この明細書に述べたことは、どれも、何れかの特定の素子、工程又は機能が、特許請求

の範囲に含まれていなければならない欠くことの出来ない要素であることを意味するものと解してはならない。特許の対象となる範囲は、特許請求の範囲のみによって定められる。更に、どの特許請求の範囲も、分詞構文を伴う「手段」がない限り、35 USC 112条第6項の適用を受けるものではない。

【0018】以上の説明に関し、更に以下の項目を開示する。

(1) ソース拡散部と、前記ソース拡散部から本体拡散部を通して半導体ドリフト領域に至る多数担体の流れを制御するように容量結合されたゲートと、少なくとも部分的に前記本体拡散部に対してセルフアラインであって、前記ドリフト領域からの少数担体の流れを収集するように位置決めされ、前記少数担体の流れを方向転換して、前記本体拡散部の順バイアスを減らすように接続されたオーミック接続構造とを含むDMOSトランジスタ・ソース構造。

(2) 第1項に記載のDMOSトランジスタ・ソース構造に於て、更に、前記本体拡散部から前記ドリフト領域によって横方向に隔てられたドレイン領域を含むDMOSトランジスタ・ソース構造。

(3) n型ソース拡散部と、前記ソース拡散部から半導体ドリフト領域への電子の流れを制御する手段と、前記ドリフト領域からの正孔の流れを収集すると共に前記正孔の流れを方向転換して2次電子電流を減らす手段とを含むnチャンネルDMOSトランジスタ・ソース構造。

(4) 第3項に記載のnチャンネルDMOSトランジスタ・ソース構造に於て、更に、前記電子の流れを制御する手段から横方向に前記ドリフト領域によって隔てられたドレイン領域を含むDMOSトランジスタ・ソース構造。

(5) 第3項に記載のnチャンネルDMOSトランジスタ・ソース構造に於て、前記電子の流れを制御する手段が、導電性ゲート構造に容量結合されたp型チャンネル領域を含むnチャンネルDMOSトランジスタ・ソース構造。

【0019】(6) n型ソース拡散部と、前記ソース拡散部の少なくとも一部分を横方向に取囲むp型表面本体拡散部と、前記p型表面本体拡散部の一部分に容量結合されてその中にチャンネル領域を定める導電性ゲート構造と、少なくとも若干の正孔電流を方向転換して少なくとも部分的に前記表面本体拡散部を側路するp型埋込み本体拡散部とを含むnチャンネルDMOSトランジスタ・ソース構造。

(7) 第6項に記載のnチャンネルDMOSトランジスタ・ソース構造に於て、更に、前記チャンネルからドリフト領域によって横方向に隔てられたドレイン領域を有し、こうして横型DMOSトランジスタを構成するnチャンネルDMOSトランジスタ・ソース構造。

(8) 第6項に記載のnチャンネルDMOSトランジスタ・ソース構造に於て、前記埋込み本体拡散部が前記ソース拡散部の少なくとも一部分に対してセルフアラインであるnチャンネルDMOSトランジスタ・ソース構造。

(9) 第6項に記載のnチャンネルDMOSトランジスタ・ソース構造に於て、更に、n+型ドレイン拡散部を横方向に取囲む少なくとも1つの浅いn-井戸拡散部を含むと共に、前記チャンネルからドリフト領域によって横方向に隔てられたドレイン構造を有し、こうして横型DMOSトランジスタを構成するnチャンネルDMOSトランジスタ・ソース構造。

(10) ソース・メタライズ部にオーミック接続されたn型ソース拡散部と、前記ソース拡散部の少なくとも一部分を横方向に取囲むp型表面本体拡散部と、前記p型表面本体拡散部の一部分に容量結合されて、その中にチャンネル領域を定める導電性ゲート構造と、前記チャンネル並びに前記表面本体拡散部の少なくとも一部分の下にあるp型埋込み本体拡散部と、前記埋込み本体拡散部及び前記ソース・メタライズの間の抵抗を減らす少なくとも1つの別のp型拡散部分とを含み、前記埋込み本体拡散部が正孔電流を方向転換して、寄生バイポーラ・ターンオンを避け、こうしてデバイスの安全動作区域を高めるnチャンネルDMOSトランジスタ・ソース構造。

(11) 第10項に記載のnチャンネルDMOSトランジスタ・ソース構造に於て、更に、前記チャンネルからドリフト領域によって横方向に隔てられたドレイン領域を含み、こうして横型DMOSトランジスタを構成するnチャンネルDMOSトランジスタ・ソース構造。

(12) 第10項に記載のnチャンネルDMOSトランジスタ・ソース構造に於て、前記埋込み本体拡散部が前記ソース拡散部の少なくとも一部分に対してセルフアラインであるnチャンネルDMOSトランジスタ・ソース構造。

【0020】(13) 横型DMOSトランジスタを製造する方法に於て、半導体層の上に第1の導電型の第1の領域を形成し、前記第1の領域内に埋込み本体領域を形成し、前記第1の領域とは反対の第2の導電型のソース領域を構成し、前記ソース領域は前記本体が前記ソース領域に接近しているように形成され、前記ソース領域の縁と前記第1の領域の縁の間にチャンネル領域が形成されるようになっており、前記半導体層内に第2の導電型のドレイン領域を形成し、前記ドレイン領域は前記チャンネル領域に隣接し、前記チャンネル領域の少なくとも一部分の上を伸びる少なくとも1つのゲートを形成する工程を含む方法。

(14) 第13項に記載の方法に於て、埋込み本体領域を形成することが、前記第1の領域に対してセルフア

ラインである高エネルギー打込みとして実施される方法。

(15) 第13項に記載の方法に於て、前記埋込み本体領域が、ドーパント導入工程に続くエピタキシャル層成長工程によって形成される方法。

【0021】(16) ソース(18)及び通常の本体拡散部の下方にあって、それに対してセルフアラインである埋込み本体領域(30)が、ドレイン領域(16)で放出された正孔に対する低インピーダンス通路となる改良されたnチャンネル集積横形DMOS(10)。これは2次電子の発生を著しく減らし、こうして寄生PNPバイポーラ・デバイスの利得を小さくする。再発生が減少することにより、臨界電界の値が上昇し、従って安全動作区域が高まる。

【図面の簡単な説明】

【図1】この発明のLDMOSトランジスタの実施例の概念的な断面図。

【図2】Aは、この発明のLDMOSの実施例の安全動作区域を示すグラフ。Bは、この発明の考えを使わない点以外は従来通りのLCMOSの安全動作区域を示すグラフ。

【図3】Aは、図1に示すように構成されたn-LDMOSに対する臨界電界と埋込み本体の量の間の関係を示す。埋込み本体の量が大いときの臨界電界が、バルク材料に特性的な限界値に近づくことに注意されたい。Bは、ゲート単位幅当たりのドレイン電流が埋込み本体の量に応じて有利に増加する様子を示す。

【図4A】一例のプロセスの詳細を示す図。

【図4B】一例のプロセスの詳細を示す図。

【図4C】一例のプロセスの詳細を示す図。

【図4D】一例のプロセスの詳細を示す図。

【図4E】一例のプロセスの詳細を示す図。

【図4F】一例のプロセスの詳細を示す図。

【図4G】一例のプロセスの詳細を示す図。

【図4H】一例のプロセスの詳細を示す図。

【図5A】異なる動作電圧の仕様に対してデバイスの寸法がどのような倍率にされるかを示す1組のデバイス断面図。

【図5B】異なる動作電圧の仕様に対してデバイスの寸法がどのような倍率にされるかを示す1組のデバイス断面図。

【図5C】異なる動作電圧の仕様に対してデバイスの寸法がどのような倍率にされるかを示す1組のデバイス断面図。

【符号の説明】

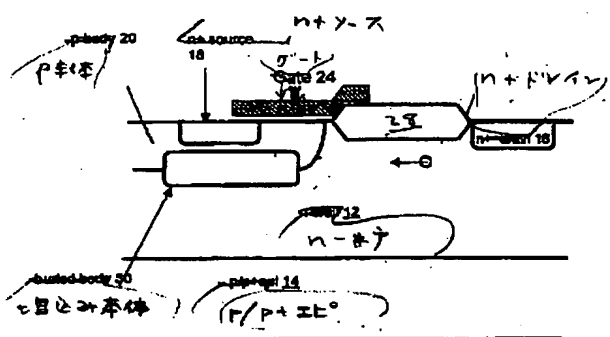
16 ドレイン領域

18 ソース領域

24 ゲート

30 埋込み本体領域

【図 1】



【図 2】

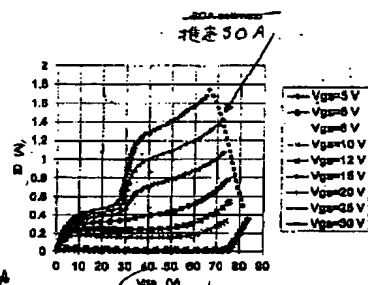


FIG. 11. Drain characteristics for flooded body at 1000 ft. Water was at 1000 ft. with a rise time of 0.001 sec. The approximate location of the SOA boundary is indicated by the dotted line. The hump in 10 sec area near 0.001 sec is an indication that charge compensation due to holes is occurring in the West.

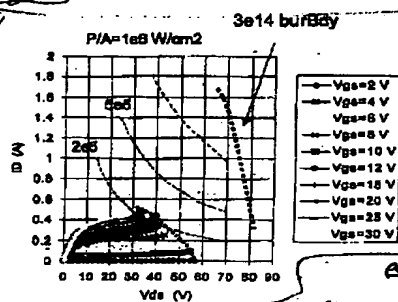
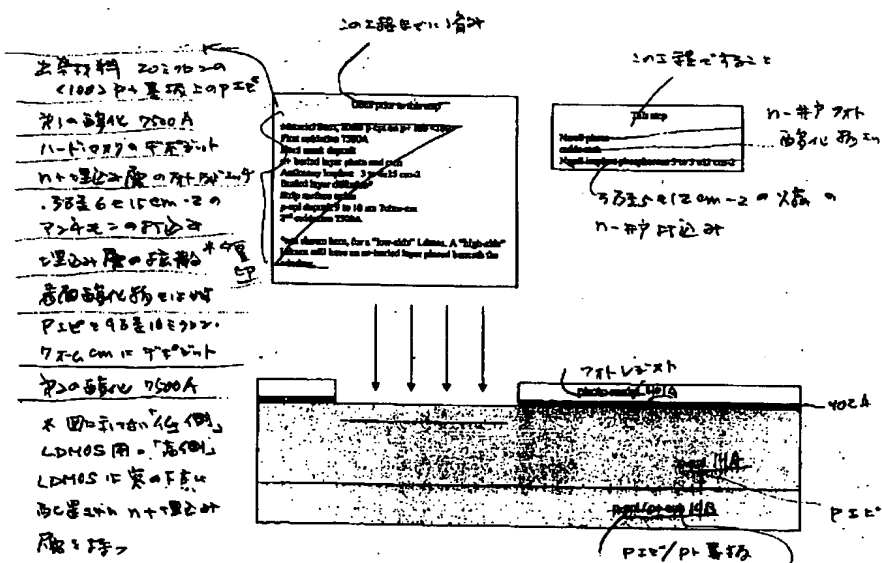


Fig. 3. Drain characteristics for the minor LCOGS in Fig. 2. Air velocity over the drain body. The SOA for the varied body LCOGS is indicated and compared to the W/Ag2 and shown were also a factor of 2 improvement over the standard LCOGS.

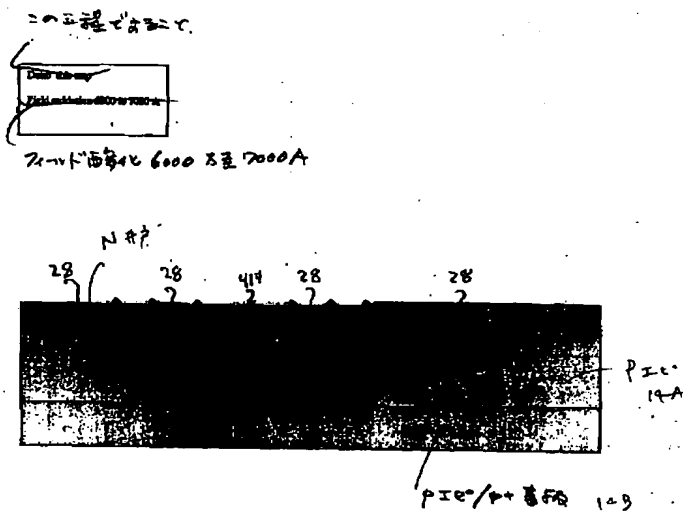
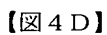
埋込本体が在りて以外は
図2Aと同じLBMOSA
14V 85mA

理由: 本件が第一 LDMOS の V_{th} が 1.0V 程度、
100nA の V_{th} 付近に於いて、SOA 境界 - 大電流場域に
移動する。すなわち、V_{th} = 30V 以下の ID の場合、n- β の
ESU による電圧降下が起るという事である。

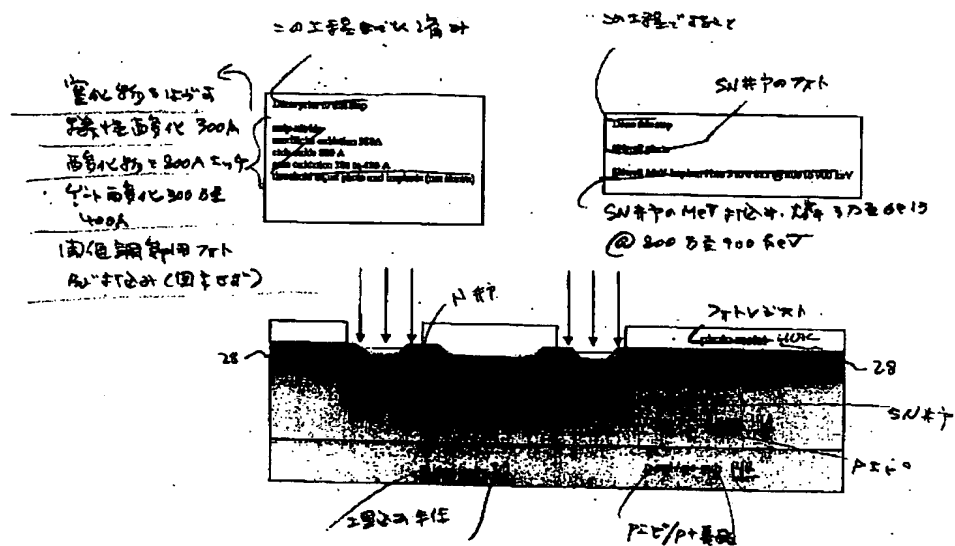
【図 4 A】



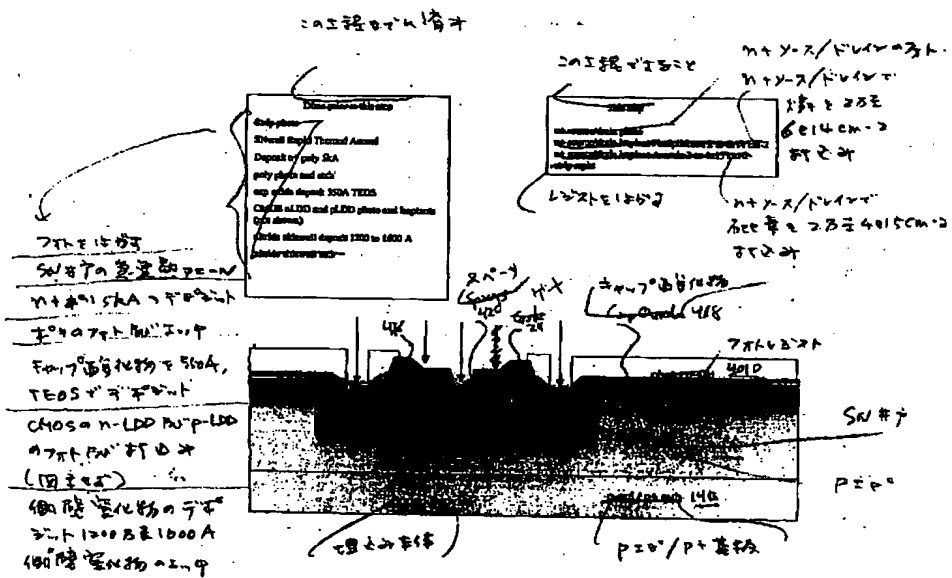
この工務費で12.5%



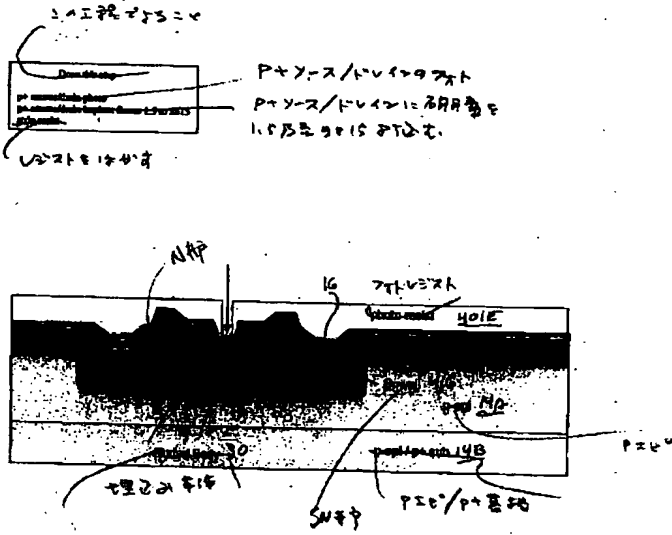
【図 4 E】



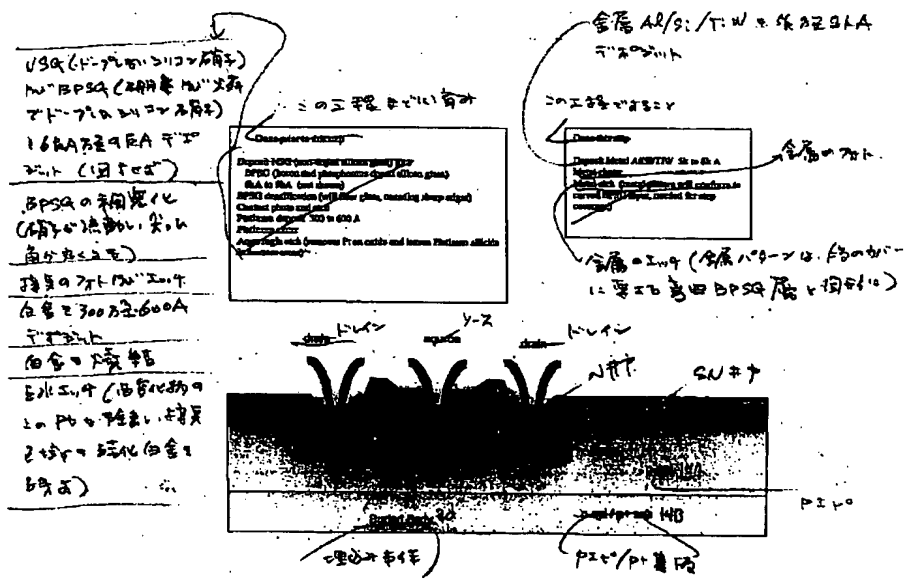
【図 4 F】



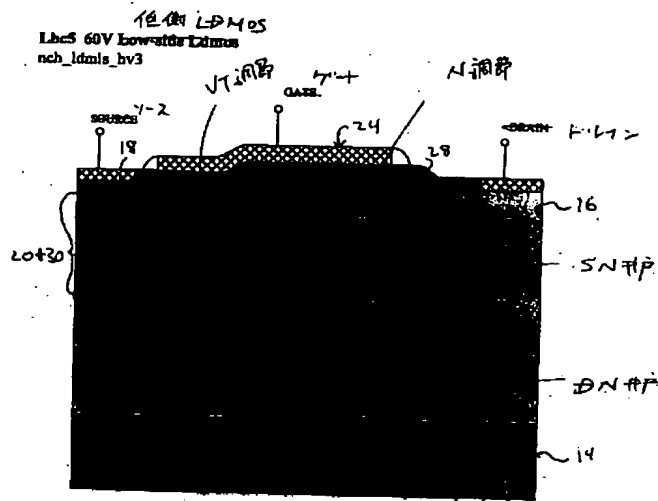
【図 4 G】



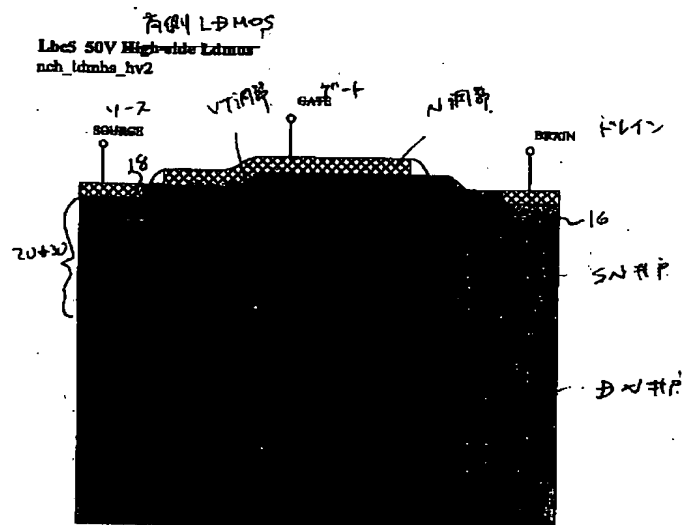
【図 4 H】



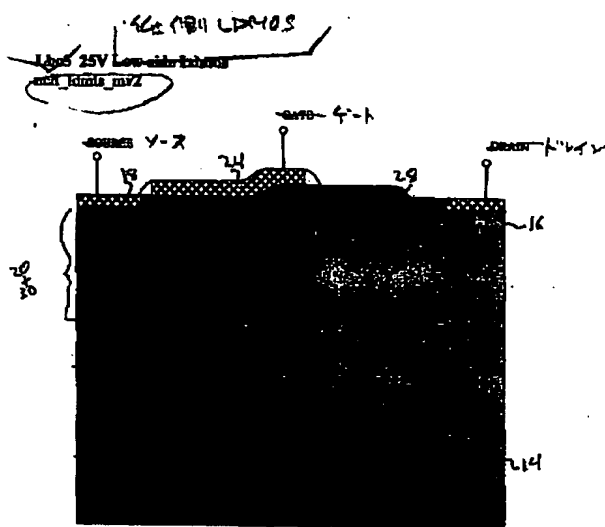
【図5A】



【図5B】



【図5C】



9

フロントページの続き

Fターム(参考) 5F140 AA17 AA25 AA29 AC21 AC23
 AC36 BA01 BA02 BA04 BA05
 BA07 BA08 BA09 BA16 BA20
 BC06 BD05 BD19 BE15 BF01
 BF04 BF44 BG08 BG14 BG53
 BH30 BJ01 BJ08 BK02 BK13
 BK21 CB08 CC07 CD02 CD08
 CD10